

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.  
G06G 3/20

(46) 공고일자 2001년04월02일

(11) 등록번호 10-0285622

(24) 등록일자 2001년04월04일

(21) 출원번호	10-1998-0024615	(65) 공개번호	특2000-0003385
(22) 출원일자	1998년06월27일	(43) 공개일자	2000년01월15일
(73) 특허권자	엘지전자주식회사 구자홍		
(72) 발명자	서울특별시 영등포구 여의도동 20번지 최정필		
(74) 대리인	경기도 수원시 장안구 정자동 38-6 201호 김영호		

심사관 : 이상목

(54) 전계 방출 디스플레이의 휘도 보정장치

요약

본 발명은 전계 방출 디스플레이의 휘도 보정장치에 관한 것이다.

본 발명에 따른 전계 방출 디스플레이의 휘도 보정장치는  $m$  개의 로우 라인들과  $n$  개의 컬럼 라인들의 교차부에 화소들이 매트릭스 형태로 배열되어지는 표시패널과, 로우라인을 구동하고 테스트 전압을 컬럼 라인들에 공급함으로써 화소들에서 빔전류를 검출하는 휘도 검출수단과, 검출된 빔전류와 정상적인 휘도레벨을 기준으로 미리 설정된 기준값을 비교하여 보정값을 산출하는 휘도 제어수단과, 보정값이 저장되는 메모리와, 메모리에 저장된 보정값을 입력영상에 가감하여 컬럼 라인들을 구동하기 위한 컬럼 구동수단을 구비한다.

본 발명의 전계 방출 디스플레이의 휘도 보정장치에 의하면 표시패널에 대하여 테스트 전압을 인가하여 각 화소들에서의 발광특성을 검출하여 그에 따른 보정값을 산출하여 이를 매입력 영상 데이터에 가감함으로써 전계방출 소자의 불균일 특성 또는 전극길이에 의한 불균일한 패널특성에서도 모든 화소들에서 동일한 휘도레벨로 영상을 표시할 수 있게 된다.

도표도

도8

명세서

도면의 간단한 설명

제1도는 종래의 전계방출 디스플레이를 나타내는 도면.

제2도는 제1도에서 화소를 상세히 나타내는 도면.

제3도는 전계방출 디스플레이의 구동을 위한 일반적인 전압-전류 특성 곡선을 나타내는 특성도.

제4도는 제조공정 상에서 에미터팁 형상이 불균일하게 되는 것을 나타내는 도면.

제5도는 제조공정 상에서 에미터팁과 게이트 간격이 불균일하게 되는 것을 나타내는 도면.

제6도는 본 발명의 실시예에 따른 전계방출 디스플레이의 휘도 보정장치를 나타내는 도면.

제7도는 제6도에 도시된 표시패널에서 제1 칼럼라인전극에 공급되는 구동전압, 화소에서 검출되는 빔전류 및 보정된 구동전압을 나타내는 도면.

제8도는 본 발명의 실시예에 따른 전계방출 디스플레이의 휘도 보정방법의 제어수순을 단계적으로 나타내는 흐름도.

\* 도면의 주요부분에 대한 부호의 설명

2, 12 : 로우 드라이버	4, 14 : 컬럼 드라이버
6 : 에미터	6a : 에미터팁
8, 22 : 게이트 전극	10 : 에노드
16 : 빔전류 검출부	18 : 휘도 제어부
19 : 메모리	20 : 비교기

BEST AVAILABLE COPY

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로, 특히 전계 방출 디스플레이의 휘도 보정장치에 관한 것이다.

최근들어, 맨-머신 인터페이스(Man-Machine Interface)의 주요한 역할을 담당하는 디스플레이 장치로서, 기존의 음극선관(CRT)의 과도한 부피·중량 문제를 해결하여 경박화될 수 있을 뿐만 아니라 액정디스플레이(LCD) 장치의 협소한 시야각에 따르는 문제점을 해결할 수 있는 전계방출 디스플레이(Field Emission Display : 이하 "FED" 라 함)에 대한 연구가 활발히 진행되고 있다. 이러한 FED는 저해상도에서 고해상도까지 노트북 PC나 프로젝션 TV 등을 포함하여 소형/대형의 거의 모든 디스플레이로의 응용이 가능하다. 이 FED는 음극선관과 같이 전자선 여기 형광체 발광을 이용하는 것으로 첨예한 음극(즉, 에미터)에 고전계를 집중해 양자역학적인 터널(Tunnel) 효과에 의하여 전자를 방출하는 냉음극을 이용하고 있다. 음극으로부터 방출된 전자는 양극(애노드 : Anode) 및 음극(Cathod)간의 전압으로 가속되어 양극에 형성된 형광체막에 충돌 및 여기시켜 가시광을 발생시키게 된다.

제1도는 통상의 FED 패널을 나타내는 도면으로써, 제1도의 구성에서 FED 패널은  $m$  개의 로우 라인전극들( $R_1$  내지  $R_m$ )에 접속되어 각 로우 라인전극들( $R_1$  내지  $R_m$ )을 순차적으로 인에이팅시키는 로우 드라이버(2)와,  $n$  개의 컬럼 라인전극들( $C_1$  내지  $C_n$ )에 접속되어 로우 라인전극들( $R_1$  내지  $R_m$ )이 인에이팅되는 기간에 화소 데이터를 컬럼 라인전극들( $C_1$  내지  $C_n$ )에 공급하는 컬럼 드라이버(4)와, 로우 라인전극들( $R_1$  내지  $R_m$ )과 컬럼 라인전극들( $C_1$  내지  $C_n$ )의 교차부에 배열되어진 화소들을 구비한다.

각 화소들은 제2도의 구성과 같이 로우 드라이버(2)로부터 공급되는 부극성의 전압에 의해 양극(이하 "애노드(Anode)라 함)(10) 쪽으로 전자를 방출하는 음극(이하 "캐소드(Cathode)라 함)(6)와, 컬럼 드라이버(4)에 공급되는 정극성의 전압에 의해 전자를 애노드(10) 쪽으로 전자를 인출하기 위한 게이트(8)로 이루어진다. 캐소드(6)에는 방출 전압레벨을 줄이도록 첨예부가 애노드(10)를 향하는 원추형의 에미터팁(Emitter tip)(6a)이 형성되어 있다. 에미터팁(6a)으로부터 방출된 전자는 빔(Beam)전류를 형성하여 화면의 휘도 변화를 발생시키게 된다.

제3도는 FED의 구동을 위한 전압-전류 특성 곡선을 나타내는 것이다. 에미터팁(6a)과 게이트 전극(8)간에 문턱(Threshold) 전압  $V_y$  이상의 전압이 공급되면 에미터팁(6a)에서 전자 방출량을 결정하는 전류 증가가 전압의 증가량에 비해 지수적으로 증가하게 된다. 여기서, 에미터팁(6a)의 형상, 에미터팁(6a)간의 간격 및 에미터팁(6a)과 게이트 전극(8)간의 간격 등은 제조과정에서 불균일하게 될 수 있다.

제4도 및 제5도는 제조 공정 상에서 발생하는 에미터팁(6a)의 형상, 에미터팁(6a)간의 간격, 에미터팁(6a) 및 게이트 전극(8)간의 간격이 불균일하게 되는 현상을 개략적으로 나타내는 것이다. 제4도를 참조하면, 전자빔에 의한 증착(Evaporation) 공정에 의해 캐소드(6)에 형성되어지는 에미터팁(6a)은 전자빔의 투사각에 따라 인접한 에미터팁들(6a)과 다른 높이로 형성된다. 즉, 전자빔에 수직하게 형성되는 에미터팁(6a)은 원추형의 형상으로 형성되지만 전자빔이 큰 투사각으로 입사되어 형성되는 에미터팁(6a)은 전자빔 쪽으로 기울어지는 형상으로 형성된다. 여기서, 기울어진 에미터팁(6a)에서 방출되는 전자는 양극 쪽으로 수직하게 방출되지 못하고 편향하게 되어 화면에서 휘도를 불균일하게 하는 원인이 된다. 제5도를 참조하면, 제조공정 중에서 저마다 다른 높이로 형성되어지는 에미터팁(6a)을 나타낸다. 에미터팁(6a)의 높이가 서로 다르게 되면 팁높이차만큼 에미터팁(6a)과 게이트 전극(8) 간의 간격차가 발생하게 된다. 에미터팁(6a)과 게이트 전극(8) 간의 간격차는 각 에미터팁(6a)마다 전자 방출량이 다르게 되므로 에미터팁(6a)의 형상 및 간격 불균일에서 발생하는 문제점과 같이 화면에서 휘도가 불균일하게 되는 원인이 된다. 이를 외에도 전극 길이에 의한 전압강하나 에미터팁(6a)의 곡률반경, 게이트 전극(8)에 형성된 홀(Hole) 구경차등 기타 제조공정 상에서 발생할 수 있는 오차가 휘도 불균일을 유발하는 원인이 되고 있다. 휘도 불균일(Non-uniformity)은 표시품위를 떨어뜨리게 되며 이러한 불균일은 대화면으로 갈수록 심하게 되어 FED의 대화면화를 저해하는 요소가 되고 있다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 FED에 있어서 제조공정에서 발생하는 오차로 인한 휘도 불균일을 저감하도록 한 전계 방출 디스플레이의 휘도 보정장치를 제공하는데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 전계 방출 디스플레이의 휘도보정장치는  $m$  개의 로우 라인들과  $n$  개의 컬럼 라인들의 교차부에 화소들이 매트릭스 형태로 배열되어지는 표시패널과, 로우라인을 구동하고 테스트 전압을 컬럼 라인들에 공급함으로써 화소들에서 빔전류를 검출하는 휘도 검출수단과, 검출된 빔전류와 정상적인 휘도레벨을 기준으로 미리 설정된 기준값을 비교하여 보정값을 산출하는 휘도 제어수단과, 보정값이 저장되는 메모리와, 메모리에 저장된 보정값을 입력영상에 가감하여 컬럼 라인들을 구동하기 위한 컬럼 구동수단을 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 잇점들은 첨부한 도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 실시예를 첨부한 제6도 내지 제8도를 참조하여 상세히 설명하기로 한다.

제6도는 본 발명의 실시예에 따른 전계방출 디스플레이의 휘도 보정장치를 나타낸다.

제6도의 구성에서, 본 발명의 전계방출 디스플레이의 휘도 보정장치는  $m$  개의 로우 라인전극들( $R_1$  내지  $R_m$ )에 접속된 로우 드라이버(12)와,  $n$  개의 컬럼 라인전극들( $C_1$  내지  $C_n$ )에 접속된 컬럼 드라이버(14)와, 로우 라인전극들( $R_1$  내지  $R_m$ )과 컬럼 라인전극들( $C_1$  내지  $C_n$ )의 교차부에 배열되어진 화소들과, 화소들에 접속된 빔전류 검출부(16)와, 빔전류 검출부(16)와 컬럼 드라이버(14)에 공통으로 접속된 메모리(19)를 구비한다.

로우 라인전극들( $R_1$  내지  $R_m$ )과 컬럼라인전극들( $C_1$  내지  $C_n$ )은 매트릭스 형태로 배치되고 각 라인전극들의 구동전압은 로우 드라이버(12)와 컬럼 드라이버(14)에 의해 공급된다. 로우 드라이버(12)가 첫 번째 로우 라인전극( $R_1$ )에 구동전압을 공급하여 인에이블시키게 되면 인에이블 기간동안 컬럼 데이터(화소 데이터)들이 각 컬럼 라인들( $C_1$  내지  $C_n$ )에 공급되어 해당 에미터팁에서 전자를 방출하게 된다. 이를 상쇄하 하므로, 첫 번째 로우 라인전극( $R_1$ )에 있어서 순차적으로 두 번째, 세 번째, ...,  $m$  번째의 로우 라인전극들( $R_2$  내지  $R_m$ )에 구동전압이 공급되면 해당 로우라인전극들의 인에이블 기간동안 컬럼 데이터들이 해당 로우라인전극들에 공급된다. 여기서, 로우라인 전극들( $R_1$  내지  $R_m$ )이 인에이블되었다는 것은 각 화소에 문턱 전압  $V_{th}$  이상의 전압이 인가되어 전자가 방출될 수 있음을 의미한다. 에미터팁에서 방출된 전자는 애노드 쪽으로 유도되어 형광체를 발광시키게 된다. 이처럼, 로우 바이 로우(Row by Row) 방식으로 로우라인들이 인에이블되어 정상적으로 동작하게 되면 애노드를 포함하는 전자회로가 형성된다. 이상적인 FED 패널에서는 동일한 데이터를 각 화소에 인가했을 때 각 화소에서는 동일한 휘도레벨이 나타나야 한다. 그러나 전술한 바와 같이, 에미터팁(6a)의 형상, 에미터팁(6a)간의 간격 및 에미터팁(6a)과 게이트전극(8)간의 간격차의 불균일 또는 전극길이에 의한 전압강하 등으로 인하여 각 화소는 동일한 데이터에서도 다른 휘도레벨로 표시된다. 화소마다 다른 휘도는 각 로우라인에서도 다른 휘도를 나타낼 수밖에 없다. 즉, 동일한 데이터에 대하여 컬럼라인전극( $C_1$  내지  $C_n$ )마다 다른 레벨의 빔전류가 흐르게 될을 의미한다.

빔전류 검출부(16)는 각 로우라인전극들( $R_1$  내지  $R_m$ )이 순차적으로 구동될 때마다 각 로우라인전극이 선택된 상태에서 각 컬럼라인전극( $C_1$  내지  $C_n$ )마다 빔전류를 검출하게 된다. 휘도 제어부(18)는 각 로우라인전극( $R_1$  내지  $R_m$ )마다 검출되는 빔전류를 소정 기준값과 비교하여 검출된 빔전류가 기준값보다 크거나 작은 경우 컬럼 드라이버(12)를 제어하여 각 컬럼라인전극들( $C_1$  내지  $C_n$ )에서 동일한 레벨의 빔전류가 흐르게 함으로써 화면 상에서 일정한 휘도로 화상이 표시되도록 한다. 이를 제7도를 참조하여 상세히 설명하면, 테스트 전압을 제1 로우라인전극( $R_1$ )에 공급하여 제1 로우 라인전극( $R_1$ )이 인에이블되었다면 선택된 제1 로우라인전극( $R_1$ )에는 (a)와 같은 동일한 레벨의 컬럼 구동전압(또는 데이터 전압)이 공급된다. 이 경우, 이상적인 패널이라면 동일한 컬럼 구동전압에 대하여 동일한 값의 애노드 전류가 제1 로우라인전극( $R_1$ ) 상에 위치하는 화소들에 흐르게 된다. 그러나 전술한 바와 같은 패널의 불균일 특성에 의해 에미터팁(6a)으로부터 애노드 전극(10)에 여기되는 전자의 양이 서로 다르게 되어 애노드 전류는 각 화소마다 다르게 된다. 이는 각 화소마다 제3도에서 문턱(Threshold) 전압  $V_{th}$  (턴온(Turn-on) 전압)이 서로 다르기 때문에 발생한다. 예를 들어, 화소의 애노드 전류가 0.1 mA가 정상레벨이라고 가정할 때 (b)에서 다섯 개의 화소들에서 검출된 애노드 전류중 첫 번째, 세 번째, 다섯 번째 화소를 (1, 1), (1, 3), (1, 5)에서 정상적인 0.1 mA로 검출되고 두 번째 화소(1, 2)에서는 1.2 mA로 정상값을 초과한 값으로 검출된다. 이는 두 번째 화소(1, 2)의 문턱전압  $V_{th}$ 이 정상적인 화소보다 낮음을 의미한다. 반면, 네 번째 화소(1, 4)에서는 0.8 mA로 정상값 이하의 애노드 전류가 검출되어 네 번째 화소가 정상적인 화소보다 문턱전압  $V_{th}$ 이 높음을 알 수 있다. 이와 같이, 제1 로우라인전극( $R_1$ )에서가 불균일한 휘도차를 가지게 된다면 휘도 제어부(18)는 (b)와 같이 검출된 애노드 전류에 대하여 비정상적인 레벨의 애노드 전류가 검출된 화소들에 대하여 정상적인 레벨의 애노드 전류가 발생하도록 컬럼 드라이버(14)를 제어하여 보정값이 컬럼라인전극( $C_1$  내지  $C_n$ )에 공급되도록 한다. 여기서, 휘도 제어부(18)에서 산출되는 보정값은 정상레벨의 애노드 전류(즉, 0.1 mA)를 기준으로 한다. 즉, 휘도 제어부(18)는 첫 번째, 세 번째, 다섯 번째 화소들(1, 1), (1, 3), (1, 5)에 대하여는 보정값을 "0" 레벨로 산출하여 검출된 애노드 전압과 가산하고 두 번째, 네 번째 화소들(1, 2), (1, 4)에 대하여는 각각 -0.2 mA와 +0.2 mA 레벨의 보정값을 산출하여 이를 검출된 애노드 전압에 가감하여 컬럼 드라이버(14)에 공급한다. 산출된 보정값은 메모리(19)에 저장된다. 컬럼 드라이버(14)는 메모리(19)에 저장된 보정값을 읽어 들여 보정값을 컬럼 구동전압(데이터 전압)에 가감하여 컬럼라인전극들( $C_1$  내지  $C_n$ )에 공급한다. 따라서, 각 화소들에서는 (d)와 같은 정상적인 레벨의 애노드 전류를 얻을 수 있으므로 화면 상에서 균일한 휘도로 영상이 표시될 수 있다.

제8도는 본 발명의 전계방출 디스플레이의 휘도 보정의 제어수준을 단계적으로 설명하기 위한 흐름도를 도시한 것이다.

먼저, 테스트 전압을 선택된 로우라인전극에 공급하게 된다. (S1 단계) 빔전류검출부(16)는 선택된 로우라인전극에서 빔전류(애노드 전류)를 검출하여 이를 휘도 제어부(18)에 공급한다. (S2 단계) 휘도 제어부(18)는 검출된 빔전류를 기준값(정상적인 레벨의 빔전류를 기준으로 산출된 기준값)과 비교하여 보정값을 산출하여 메모리(19)에 저장한다. (S3 및 S4 단계) 컬럼 드라이버(14)는 보정값과 입력 영상 데이터를 가산하여 최종 산출된 데이터를 컬럼라인전극에 공급하여 영상을 표시하게 된다.

본 발명에 따른 전계 방출 디스플레이의 휘도 보정장치는 제작된 FED 패널에 대하여 휘도 보정값을 산출하는 초기에 한 번으로 휘도 보정값을 설정함으로써 영구적으로 저장된 보정값을 매 입력 영상 데이터에 가감하여 각 화소들과 각 라인들에서 동일한 휘도레벨로 영상을 표시하게 된다.

#### 발명의 효과

산출한 바와 같이, 본 발명의 전계 방출 디스플레이의 휘도 보정장치는 표시패널에 대하여 테스트 전압을 인가하여 각 화소들에서의 발광특성을 검출하여 그에 따른 보정값을 산출하여 이를 매입력 영상 데이터에 가감함으로써 전계방출 소자의 불균일 특성 또는 전극길이에 의한 불균일한 패널특성에서도 모든 화소들에서 동일한 휘도레벨로 영상을 표시할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된

내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1

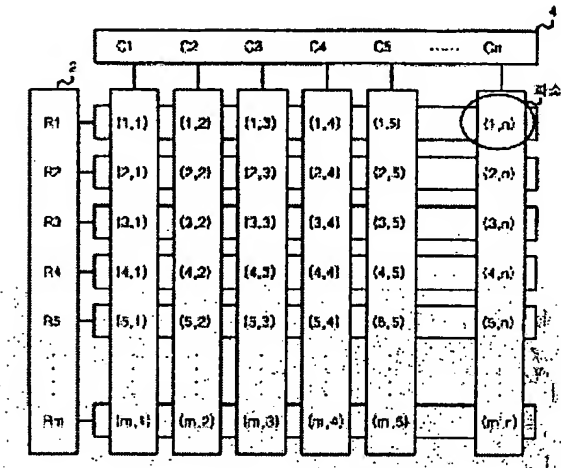
m 개의 로우 라인들과 n 개의 컬럼 라인들의 교차부에 화소들이 매트릭스 형태로 배열되어지는 표시패널과, 상기 로우라인을 구동하고 테스트 전압을 상기 컬럼 라인들에 공급함으로써 상기 화소들에서 빔전류를 검출하는 휘도 검출수단과, 상기 검출된 빔전류와 정상적인 휘도레벨을 기준으로 미리 설정된 기준값을 비교하여 보정값을 산출하는 휘도 제어수단과, 상기 보정값이 저장되는 메모리와, 상기 메모리에 저장된 상기 보정값을 입력영상에 가감하여 상기 컬럼 라인들을 구동하기 위한 컬럼 구동수단을 구비하는 것을 특징으로 하는 전계 방출 디스플레이의 휘도 보정장치.

#### 청구항 2

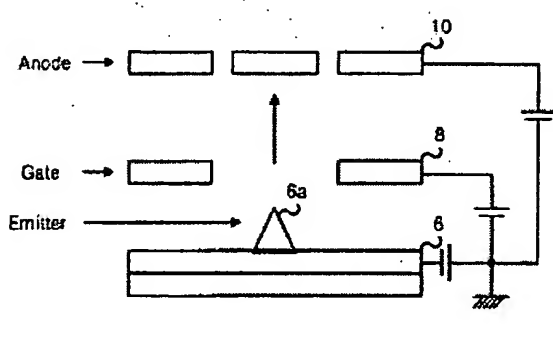
제1항에 있어서, 상기 테스트 전압을 공급하기 위한 전압 공급부를 추가로 구비하는 것을 특징으로 하는 전계방출 디스플레이의 휘도 보정장치.

### 도면

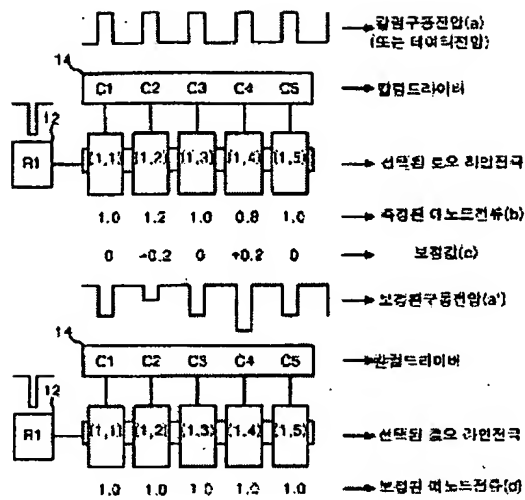
도면1



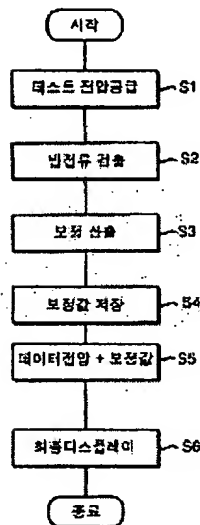
도면2



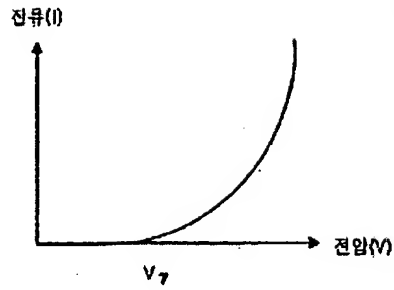
도 27



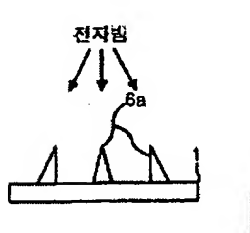
도 28



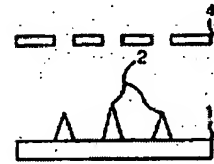
도 23



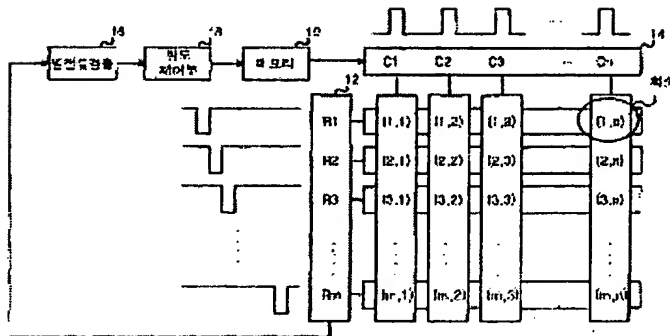
도 24



도 25



도 26



(19)大韓民国特許庁(KR)

(12)登録特許公報(B1)

(45)公告日 2001.04.02.

(11)登録番号 10-0285622

(24)登録日 2001.01.04.

---

(21)出願番号 10-1998-0024615

(65)公開番号 特2000-0003385

(22)出願日 1998.06.27.

(43)公開日 2000.01.15.

---

(73)特許権者 LG電子株式会社

(72)発明者 CHOI JEONG PIL

(74)代理人 KIM YOUNG HO

---

(54)電界放出ディスプレイの輝度補正装置

---

【要約書】

【要約】

本発明は、電界放出ディスプレイの輝度補正装置に関するものである。

本発明による電界放出ディスプレイの輝度補正装置は、 $m$ 個のローラインらと $n$ 個のコラムラインらの交叉部に画素らがマトリックス形態で配列されるような表示パネルと、ローラインを駆動してテスト電圧をコラムラインらに供給することにより、画素らからビーム電流を検出する輝度検出手段と、検出されたビーム電流と正常的な輝度レベルを基にあらかじめ設定された基準値とを比較して補正値を算出する輝度制御手段と、補正値が格納されるメモリと、メモリに格納された補正値を入力映像に加減してコラムラインらを駆動するためのコラム駆動手段とを備える。

本発明の電界放出ディスプレイの輝度補正装置によれば、表示パネルに対してテスト電圧を印加し、各画素らからの発光特性を検出してそれによる補正値を算出し、これを入力毎の映像データに加減することにより、電界放出素子のばらつきの特性または電極長さによるばらつきのパネル特性からも、全ての画素らにおいて同一の輝度レベルで映像を映ることができるようになる。

#### 【代表図】

図 6

#### 【明細書】

##### 【図面の簡単な説明】

図 1 は、従来の電界放出ディスプレイを示す図である。

図 2 は、図 1 において画素を詳しく示す図である。

図 3 は、電界放出ディスプレイの駆動のための一般的な電圧－電流特性曲線を示す特性図である。

図 4 は、製造工程においてエミッターチップ状がばらつきとなることを示す図である。

図 5 は、製造工程においてエミッターチップとゲート間隔がばらつきとなることを示す図である。

図 6 は、本発明の実施例による電界放出ディスプレイの輝度補正装置を示す図である。

図 7 は、図 6 に示された表示パネルにおいて第 1 のコラムライン電極に供給される駆動電圧、画素から検出されるビーム電流及び補正された駆動電圧を示す図である。

図 8 は、本発明の実施例による電界放出ディスプレイの輝度補正方法の制御手順を段階的に示すフロー図である。

##### 〈図面の主部分に対する符号の説明〉

2、12：ロードライバー

4、14：コラムドライバー

6：エミッター

6a：エミッターチップ



8、22：ゲート電極

10：アノード

16：ビーム電流検出部

18：輝度制御部

19：メモリ

20：比較器

#### 【発明の詳細な説明】

#### 【発明の目的】

#### 【発明の属する技術及びその分野の従来技術】

本発明は、平板表示装置に関するもので、特に電界放出ディスプレイの輝度補正装置に関するものである。

最近、マン・マシーンインタフェース (Man-Machine Interface) の主な働きをするディスプレイ装置であって、既存の陰極線管 (CRT) の過度な嵩・重量問題を解決して軽薄化することができるだけでなく、液晶ディスプレイ (LCD) 装置の狭小な視野角による問題点を解決することができる電界放出ディスプレイ (Field Emission Display: 以下、「FED」という) に対する研究が盛んに進められている。かかる FED は、低解像度から高解像度までノートブック PC やプロジェクション TV などを含み、小型/大型のほとんど全てのディスプレイへの応用が可能である。この FED は陰極線管のように電子線励起蛍光体発光を利用することで、尖鋭な陰極 (即ち、エミッター) に高電界を集中して量子力学的なトンネル (Tunnel) 効果により電子を放出する冷陰極を利用している。陰極から放出された電子は、陽極 (アノード: Anode) 及び陰極 (Cathode) 間の電圧で加速され、両極において形成された蛍光体膜に衝突及び励起させて可視光を発生させることになる。

図1は、通常の FED パネルを示す図であって、図1の構成において FED パネルは、 $m$  個のローライン電極ら ( $R_1$  乃至  $R_m$ ) に接続されて各ローライン電極ら ( $R_1$  乃至  $R_m$ ) を順次にイネーブルさせるロードライバー (2) と、 $n$  個のコラムライン電極ら ( $C_1$  乃至  $C_n$ ) に接続されてローライン電極ら ( $R_1$  乃至  $R_m$ ) がイネーブルされる期間に画素データをコラムライン電極ら ( $C_1$  乃至  $C_n$ ) に供給するコラムドライバー (4) と、ローライン電極ら ( $R_1$  乃至  $R_m$ ) とコラムライン電極ら ( $C_1$  乃至  $C_n$ ) の交叉部に配列される画素らとを備える。

各画素らは、図2の構成のように、ロードライバー(2)から供給される負極性の電圧により陽極(以下、「アノード(Anode)」という)(10)側に電子を放出する陰極(以下、「カソード(Cathode)」という)(6)と、コラムドライバー(4)に供給される正極性の電圧により電子をアノード(10)側に電子を引き出すためのゲート(8)からなる。カソード(6)では、放出電圧レベルを減らすように尖鋭部がアノード(10)に向かう円錐形のエミッターチップ(Emitter tip)(6a)が形成されている。エミッターチップ(6a)から放出された電子はビーム(Beam)電流を形成して画面の輝度変化を発生させることになる。

図3は、FEDの駆動のための電圧－電流特性曲線を示すものである。エミッターチップ(6a)とゲート電極(8)間に閾値(threshold)電圧 $V_{\gamma}$ 以上の電圧が供給されると、エミッターチップ(6a)から電子放出量を決定する電流増加が電圧の増加量に比べて指数的に増加することになる。ここで、エミッターチップ(6a)の形状、エミッターチップ(6a)間の間隔及びエミッターチップ(6a)とゲート電極(8)間の間隔等は、製造過程においてばらつきとなることもある。

図4及び図5は、製造工程上に発生するエミッターチップ(6a)の形状、エミッターチップ(6a)間の間隔、エミッターチップ(6a)及びゲート電極(8)間の間隔がばらつきとなる現状を概略的に示すものである。図4を参照すれば、電子ビームによる蒸着(Evaporation)工程によりカソード(6)に形成されるエミッターチップ(6a)は、電子ビームの投射角に応じて隣接したエミッターチップら(6a)と異なる投射角で形成される。即ち、電子ビームに垂直となるように形成されるエミッターチップ(6a)は円錐状に形成されるが、電子ビームの大きな投射角に入射されて形成されるエミッターチップ(6a)は、電子ビーム側に傾く形状に形成される。ここで、傾いたエミッターチップ(6a)から放出される電子は、陽極側に垂直となるように放出されず偏向するようになり、画面において輝度がばらつきになる原因となる。図5を参照すれば、製造工程において、各々異なる高さで形成されるエミッターチップ(6a)を示す。エミッターチップ(6a)の高さが互いに異なるようになると、チップ高さ差ほど、エミッターチップ(6a)とゲート電極(8)間の間隔差が生じることになる。エミッターチップ(6a)とゲート電極(8)間の間隔差は、各

エミッターチップ(6 a)毎に電子放出量が異なるようになるので、エミッターチップ(6 a)の形状及び間隔のばらつきで発生する問題点のように、画面において輝度がばらつきになる原因となる。これらのほかにも電極長さによる電圧降下やエミッターチップ(6 a)の曲率半径、ゲート電極(8)に形成されたホール(hole)孔径差等、その他製造工程において発生できる誤差が輝度のばらつきを誘発する原因となっている。輝度のばらつき(Non-uniformity)は、表示品位を落とすことになり、このようなばらつきは大画面にいくほど、甚だしくなり、FEDの大画面化を阻害する要素となっている。

#### 【発明が達成しようとする技術的な課題】

従って、本発明の目的は、FEDにおける製造工程において発生する誤差による輝度のばらつきを低減するようにした電界放出ディスプレイの輝度補正装置を提供することにある。

#### 【発明の構成及び作用】

前記目的を達成するために、本発明による電界放出ディスプレイの輝度補正装置は、m個のローラインらとn個のコラムラインらの交叉部に画素らがマトリックス形態に配列されるような表示パネルと、ローラインを駆動してテスト電圧をコラムラインらに供給することにより、画素らにおいてビーム電流を検出する輝度検出手段と、検出されたビーム電流と正常的な輝度レベルを基にあらかじめ設定された基準値を比較して補正値を算出する輝度制御手段と、補正値が格納されるメモリと、メモリに格納された補正値を入力映像に加減してコラムラインらを駆動するためのコラム駆動手段とを備えることを特徴とする。

前記目的のほかに、本発明の他の目的及び利点らは、添付の図面を参照した実施例に対する説明を通じて明らかになるであろう。

以下、本発明の実施例らを添付した図6乃至図8を参照して詳述することにする。

図6は、本発明の実施例による電界放出ディスプレイの輝度補正装置を示す。

図6の構成において、本発明の電界放出ディスプレイの輝度補正装置は、

m個のローライン電極ら(R 1乃至R m)に接続されたロードドライバー(1 2)と、 n個のコラムライン電極ら(C 1乃至C n)に接続されたコラムドライバー(1 4)と、ローライン電極ら(R 1乃至R m)とコラムライン電極ら(C 1乃至C n)の交叉部に配列されるような画素らと、画素らに接続されたビーム電流検出部(1 6)と、ビーム電流検出部(1 6)とコラムドライバー(1 4)に共通に接続された輝度制御部(1 8)と、輝度制御部(1 8)とコラムドライバー(1 4)に共通に接続されたメモリ(1 9)とを備える。

ローライン電極ら(R 1乃至R m)とコラムライン電極ら(C 1乃至C n)はマトリックス形態に配置され、各ライン電極らの駆動電圧はロードドライバー(1 2)とコラムドライバー(1 4)により供給される。ロードドライバー(1 2)が1番目のローライン電極(R 1)に駆動電圧を供給してイネーブルさせることになると、イネーブル期間の間コラムデータ(画素データ)らが各コラムラインら(C 1乃至C n)に供給され、該エミッターチップから電子を放出することになる。これを詳しくすれば、1番目のローライン電極(R 1)に引き続いて順次に2番目、3番目、…、m番目のローライン電極ら(R 2乃至R m)に駆動電圧が供給されると、該ローライン電極らのイネーブル期間の間コラムデータらが、該ローライン電極らに供給される。ここで、ローライン電極ら(R 1乃至R m)がイネーブルされたというのは、各画素に閾電圧 $V_{\gamma}$ 以上の電圧が印加されて電子が放出することができることを意味する。エミッターチップから放出された電子は、アノード側に誘導されて蛍光体を発光させることになる。このように、ローバイロー(Row by Row)方式でローラインらがイネーブルされて正常的に動作するようになると、アノードを含む電子回路が形成される。理想的なFEDパネルでは、同じデータを各画素に印加したとき、各画素においては、同一の輝度レベルが示さなければならない。しかし、前述のように、エミッターチップ(6 a)の形状、エミッターチップ(6 a)間の間隔及びエミッターチップ(6 a)とゲート電極(8)間の間隔差のばらつきまたは電極長さによる電圧降下等により、各画素は同じデータにおいても異なる輝度レベルで示される。画素毎に異なる輝度は各ローラインにおいても異なる輝度を示すしかない。即ち、同じデータに対してコラムライン電極(C 1乃至C n)毎に異なるレベルのビーム電流が流れる

ことになることを意味する。

ビーム電流検出部(16)は、各ローライン電極ら(R1乃至Rm)が順次に駆動する毎に、各ローライン電極が選択された状態で各コラムライン電極(C1乃至Cn)毎にビーム電流を検出することになる。輝度制御部(18)は、各ローライン電極(R1乃至Rm)毎に検出されるビーム電流を所定の基準値と比較して検出されたビーム電流が基準値よりも大きいか、小さな場合、コラムドライバー(12)を制御して各コラムライン電極ら(C1乃至Cn)において、同一のレベルのビーム電流が流れるようにすることにより、画面上において一定の輝度で画像が示されるようにする。これを図7を参照して詳述すれば、テスト電圧を第1のローライン電極(R1)に供給して第1のローライン電極(R1)がイネーブルされたら、選択された第1のローライン電極(R1)には、(a)のような同一のレベルのコラム駆動電圧(またはデータ電圧)が供給される。この場合、理想的なパネルであれば、同じコラム駆動電圧に対して同一値のアノード電流が第1のローライン電極(R1)上に位置する画素らに流れることになる。しかし、前述のようなパネルのばらつきの特性によりエミッターチップ(6a)からアノード電極(10)に励起される電子の量が互いに異なることになり、アノード電流は各画素毎に異なるようになる。これは、各画素毎に図3において、閾(threshold)電圧 $V_{\gamma}$ (ターンオン(Turn-on)電圧)が互いに異なるために発生する。例えば、画素のアノード電流が0.1mAが正常レベルであると仮定したとき、(b)において5個の画素らから検出されたアノード電流のうち、1番目、3番目、5番目の画素ら(1, 1)、(1, 3)、(1, 5)において正常的な0.1mAで検出され、2番目の画素(1, 2)においては、1.2mAで正常値を超えた値で検出される。これは、2番目の画素(1, 2)の閾電圧 $V_{\gamma}$ が正常的な画素よりも低いことを意味する。反面、4番目の画素(1, 4)においては、0.8mAで正常値以下のアノード電流が検出されて4番目の画素が正常的な画素らよりも閾電圧 $V_{\gamma}$ が高いことがわかる。このように、第1のローライン電極(R1)において、ばらつきの輝度差を有することになると、輝度制御部(18)は(b)のように検出されたアノード電流に対し、非正常的なレベルのアノード電流が検出された画素らに対して正常的なレベルのアノード電流が発生するようにコラムドライバー(14)を制御して補

正值がコラムライン電極(C 1乃至C n)に供給されるようにする。ここで、輝度制御部(18)から算出される補正值は正常レベルのアノード電流(即ち、0.1mA)を基準とする。即ち、輝度制御部(18)は1番目、3番目、5番目の画素ら(1、1)、(1、3)、(1、5)に対しては、補正值を“0”レベルで算出して検出されたアノード電圧と加算し、2番目、4番目の画素ら(1、2)、(1、4)に対しては、各々-0.2mAと+0.2mAレベルの補正值を算出し、これを検出されたアノード電圧に加算してコラムドライバー(14)に供給する。算出された補正值はメモリ(19)に格納される。コラムドライバー(14)はメモリ(19)に格納された補正值を読み込み、補正值をコラム駆動電圧(データ電圧)に加減してコラムライン電極ら(C 1乃至C n)に供給する。従って、各画素らにおいては、(d)のような正常的なレベルのアノード電流を得ることができるので、画面上において均一な輝度で映像を映ることができる。

図8は、本発明の電界放出ディスプレイの輝度補正の制御水準を段階的に説明するためのフロー図を示したものである。

まず、テスト電圧を選択されたローライン電極に供給するようになる(S 1段階)。ビーム電流検出部(16)は選択されたローライン電極においてビーム電流(アノード電流)を検出し、これを輝度制御部(18)に供給する(S 2段階)。輝度制御部(18)は検出されたビーム電流を基準値(正常的なレベルのビーム電流を基準に算出された基準値)と比較し、補正值を算出してメモリ(19)に格納する(S 3及びS 4段階)。コラムドライバー(14)は補正值と入力映像データを加算し、最終算出されたデータをコラムライン電極に供給して映像を映ることになる。

本発明による電界放出ディスプレイの輝度補正装置は、製作されたFEDパネルに対して輝度補正值を算出する初期に一度の輝度補正值を設定することにより、永久的に格納された補正值を入力毎の映像データに加減して各画素らと各ラインらに同一の輝度レベルで映像を映ることになる。

#### 【発明の効果】

上述のように、本発明の電界放出ディスプレイの輝度補正装置は、表示パネルに対してテスト電圧を印加し、各画素らにおける発光特性を検出してそれによ

る補正值を算出し、これを入力毎の映像データに加減することにより、電界放出素子のばらつきの特性または電極長さによるばらつきのパネル特性においても、全ての画素らにおいて同一の輝度レベルで映像を映ることができるようになる。

以上説明した内容を通じて当業者であれば、本発明の技術思想を外れない範囲で多様な変更及び修正が可能であることが分かるであろう。従って、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるのではなく、特許請求の範囲により定められるべきであろう。

### 【特許請求の範囲】

#### 【請求項 1】

m個のローラインらとn個のコラムラインらの交叉部に画素らがマトリックス形態に配列されるような表示パネルと、前記ローラインを駆動してテスト電圧を該コラムラインらに供給することにより、前記画素らにおいてビーム電流を検出する輝度検出手段と、前記検出されたビーム電流と正常的な輝度レベルを基にあらかじめ設定された基準値とを比較して補正值を算出する輝度制御手段と、前記補正值が格納されるメモリと、前記メモリに格納された補正值を入力映像に加減し、前記コラムラインらを駆動するためのコラム駆動手段とを備えることを特徴とする電界放出ディスプレイの輝度補正装置。

#### 【請求項 2】

前記テスト電圧を供給するための電圧供給部をさらに備えることを特徴とする請求項 1 に記載の電界放出ディスプレイの輝度補正装置。

### 【図面】

#### 【図 1】

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**